

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284293

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 21/301

B24C 1/00

H01L 21/306

H01L 33/00

(21)Application number : 2000-099896

(71)Applicant : TOYODA GOSEI CO LTD

(22)Date of filing : 31.03.2000

(72)Inventor : SATO TAKAO

OTA KOICHI

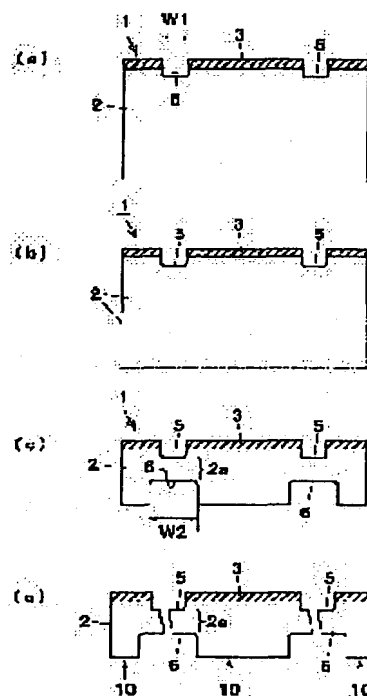
HASHIMURA MASAKI

## (54) CHIP DIVISION METHOD FOR SEMICONDUCTOR WAFER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To raise emitted light brightness by enlarging the area of a semiconductor layer on a semiconductor chip be divided and increase the number of obtained semiconductor chips.

**SOLUTION:** The method comprises a process for forming a relatively narrow first division groove 5 of a groove width W1 on the surface at a semiconductor layer formation side of a semiconductor wafer 1 by dicing, etching or blast, and a process for forming a relatively wide second division groove of a groove width W2 in a position corresponding to the first division groove 5 on a surface at a semiconductor layer non-formation side of the semiconductor wafer 1 by dicing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284293

(P2001-284293A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/301

B 2 4 C 1/00

Z 5 F 0 4 1

B 2 4 C 1/00

H 0 1 L 33/00

C 5 F 0 4 3

H 0 1 L 21/306

21/78

L

33/00

21/306

C

21/78

H

審査請求 未請求 請求項の数 9 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願2000-99896(P2000-99896)

(22) 出願日

平成12年3月31日(2000. 3. 31)

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑 1

番地

(72) 発明者 佐藤 孝夫

愛知県西春日井郡春日町大字落合字長畑 1

番地 豊田合成株式会社内

(72) 発明者 太田 光一

愛知県西春日井郡春日町大字落合字長畑 1

番地 豊田合成株式会社内

(74) 代理人 100096116

弁理士 松原 等

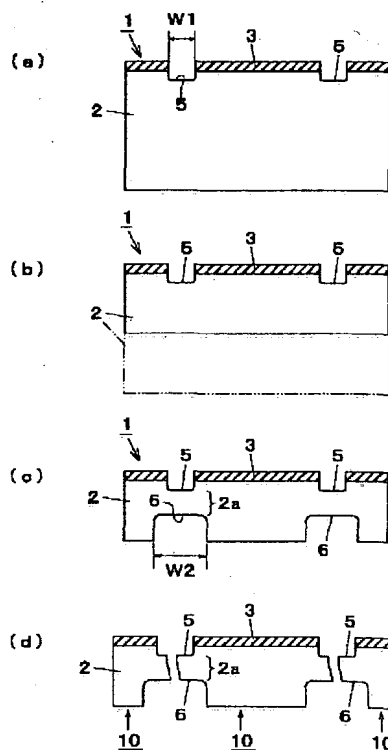
最終頁に続く

(54) 【発明の名称】 半導体ウエハのチップ分割方法

(57) 【要約】

【課題】 分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりする。

【解決手段】 半導体ウエハ 1 の半導体層形成側の表面に相対的に溝幅 W1 の狭い第一分割用溝 5 をダイシング、エッチング又はプラストにより形成する工程と、半導体ウエハ 1 の半導体層非形成側の表面であって第一分割用溝 5 に対応する位置に相対的に溝幅 W2 の広い第二分割用溝をダイシングにより形成する工程とを含む。



## 【特許請求の範囲】

【請求項 1】 基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、前記半導体ウエハーの半導体層形成側の表面に相対的に溝幅の狭い第一分割用溝をダイシング、エッチング又はブラストにより形成する工程と、前記半導体ウエハーの半導体層非形成側の表面であって前記第一分割用溝に対応する位置に相対的に溝幅の広い第二分割用溝をダイシングにより形成する工程とを含むことを特徴とする半導体ウエハーのチップ分割方法。

【請求項 2】 前記第二分割用溝の溝底に、第一分割用溝の溝幅 $\leq$ 第三分割用溝の溝幅 $<$ 第二分割用溝の溝幅、の関係となる第三分割用溝をダイシングにより形成する工程を含む請求項 1 記載の半導体ウエハーのチップ分割方法。

【請求項 3】 前記第二分割用溝の溝断面形状が、幅方向の中央部が最も深い略 U 字状又は略 V 字状である請求項 1 記載の半導体ウエハーのチップ分割方法。

【請求項 4】 前記第一分割用溝の溝幅が、10 $\sim$ 50  $\mu\text{m}$ である請求項 1 $\sim$ 3 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 5】 前記第二分割用溝の溝幅が、15 $\sim$ 100  $\mu\text{m}$ である請求項 1 $\sim$ 4 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 6】 前記第一分割用溝は相対的に深さが小さく、前記第二分割用溝は相対的に深さが大きい請求項 1 $\sim$ 5 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 7】 前記第一分割用溝と第二分割用溝との間に残る基板の残存部の厚さが、20 $\sim$ 100  $\mu\text{m}$ である請求項 1 $\sim$ 6 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 8】 前記基板がモース硬度 8 以上の高硬度材料よりなる請求項 1 $\sim$ 7 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 9】 前記基板がサファイア又は GaN よりなり、前記半導体層が窒化ガリウム系化合物半導体よりなる請求項 1 $\sim$ 8 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法に関するものである。

## 【0002】

【従来の技術】半導体ウエハーを分割する方法としては、ウエハーにダイシングにより溝を形成したり又はスクライプによりスクライプラインを形成したりした後、ブレーキングにより前記溝又はスクライプラインを起点とすると共にそれらに沿ってウエハーを割る方法が一般

的である。ダイシングとは、ダイサー（ダイシングソー）の回転刃とウエハーとを相対移動させてウエハーにダイシング溝を形成する方法である。スクライプとは、スクライパーの先鋭刃とウエハーとを相対移動させてウエハーにスクライプラインを形成する方法である。ブレーキングとは、押圧刃や押圧ローラでウエハーを押圧して三点曲げを行うことによりウエハーを割る方法である。

【0003】高硬度材料（例えばサファイア、GaN 等）よりなる基板を用いた半導体ウエハーにおいては、浅いダイシング溝又はスクライプラインを形成しただけでは、ブレーキングによりウエハーを割ることが困難なため、深くダイシングしたり、基板を大幅に薄肉化してからスクライプしたりする等の工夫を加えた後に、ブレーキングする必要があった。例えば、サファイア基板の表面上に窒化ガリウム系化合物半導体が積層されたウエハーをチップ状に分割する方法としては、次の各方法が知られている。

【0004】（1）特許第 2765644 号公報に記載された方法は次の工程を含む。

- ① ダイサーにより窒化ガリウム系化合物半導体層の厚さよりも深く溝を切り込むダイシング工程
- ② サファイア基板の厚さを研磨により薄くする研磨工程
- ③ ダイシング工程で形成された溝の上からスクライパーによりサファイア基板にスクライプラインを入れるスクライプ工程
- ④ スクライプ工程の後、ウエハーをチップ状に分割する分割工程

【0005】（2）特許第 2780618 号公報に記載された方法は次の工程を含む。

- ① 窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状にエッチングにより形成すると共に、第一の割り溝の一部に電極が形成できる平面を形成する工程
- ② ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅よりも細い線幅を有する第二の割り溝（スクライプが好ましい）を形成する工程
- ③ 第一の割り溝および第二の割り溝に沿って、ウエハーをチップ状に分割する工程

【0006】（3）特許第 2861991 号公報に記載された方法は次の工程を含む。

- ① ウエハーの窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状に（エッチングにより）形成すると共に、この第一の割り溝を窒化ガリウム系化合物半導体層を貫通してサファイア基板の一部を除く深さまで形成する工程
- ② ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅よりも細い線幅

を有する第二の割り溝（スクライブが好ましい）を形成する工程

③ 第一の割り溝および第二の割り溝に沿って、ウェハーをチップ状に分割する工程

【0007】

【発明が解決しようとする課題】上記（1）のように、半導体層形成側から基板にまで至る溝をダイシングにより形成し、さらにその溝底にスクライバーによりスクライブラインを入れる方法では、溝にスクライブ刃が入るようにその溝の溝幅を大きくする必要がある。また、上記（2）（3）のように、半導体層形成側からの第一の割溝の線幅を、サファイア基板側からの第二の割り溝の線幅より広くするのは、第二の割り溝から発生する切断線が斜めに走っても半導体層にまで及ばないようにするためであり、従って、同公報の実施例では第一の割溝の線幅を  $80\mu\text{m}$  と広くしている。このように半導体層形成側に形成する溝の溝幅を広くすると、分割する半導体チップにおける半導体層の面積が減少して発光輝度が低くなるという問題があり、また、その面積が減少しないようにすると半導体チップの取れ数が減少するという問題があった。

【0008】本発明の目的は、上記課題を解決し、分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりすることができるとともに、ブレーキングを容易化することもできる半導体ウェハーのチップ分割方法を提供することにある。

【0009】

【課題を解決するための手段】本発明は、基板上に半導体層が形成されてなる半導体ウェハーを多数の半導体チップに分割する方法において、半導体ウェハーの半導体層形成側の表面に相対的に溝幅の狭い第一分割用溝をダイシング、エッチング又はブラストにより形成する工程と、半導体ウェハーの半導体層非形成側の表面であって第一分割用溝に対応する位置に相対的に溝幅の広い第二分割用溝をダイシングにより形成する工程とを含むことを特徴とする。相対的に狭い又は広いとは、勿論、第一分割用溝の溝幅と第二分割用溝の溝幅との相対関係である。

【0010】ここで、「ダイシング」は、例えばダイヤモンド砥粒の付着した回転刃にて行う通常の方法でよい。「エッチング」としては、反応性イオンエッチング、イオンミリング、集束ビームエッチング、ECRエッチング等のドライエッチングや、硫酸とリン酸の混酸によるウェットエッチング等を例示でき、エッチング前に、半導体ウェハーの表面に格子状露出部を残すパターンの耐エッチング用マスクを形成する。「ブラスト」は、例えばアルミナ、炭化珪素、ボロン、ダイヤモンド等よりなる平均粒子径  $10\sim 30\mu\text{m}$  の微粒子ブラスト材をブラスト圧力  $0.2\sim 0.8\text{MPa}$  でブラストする方法を

例示でき、ブラスト前に、半導体ウェハーの表面に格子状露出部を残すパターンの耐ブラスト用マスクを形成する。高速でブラストされた微粒子ブラスト材の持つ運動エネルギーが半導体層や基板の一部をミクロ的に削り取る作用を利用する方法である。

【0011】第二分割用溝の溝底に、第一分割用溝の溝幅  $\leq$  第三分割用溝の溝幅  $<$  第二分割用溝の溝幅、の関係となる第三分割用溝をダイシングにより形成する工程を加えることもできる。

【0012】第二分割用溝の溝断面形状を、幅方向の中央部が最も深い略U字状又は略V字状とすることもできる。

【0013】第一分割用溝の溝幅は（前記相対関係を満たす限りにおいて）、 $10\sim 50\mu\text{m}$  が好ましく、 $20\sim 40\mu\text{m}$  がさらに好ましい。この溝幅が小さいと第一分割用溝の形成が困難になり、この溝幅が大きいと半導体層の面積又は取れ数の減少が顕著となる。

【0014】第二分割用溝の溝幅は（前記相対関係を満たす限りにおいて）、 $15\sim 100\mu\text{m}$  が好ましく、 $20\sim 50\mu\text{m}$  がさらに好ましい。この溝幅が小さいとダイサーの回転刃の寿命が短くなり（薄い回転刃ほど寿命が短い傾向がある）、この溝幅が大きいと半導体チップにおける基板の底面積が小さくなって機械的安定性が悪くなる。

【0015】第一分割用溝の深さ及び第二分割用溝の深さは、特に限定されないが、第一分割用溝は相対的に深さが小さく、第二分割用溝は相対的に深さが大きいことが好ましい。第一分割用溝の方が相対的に溝幅が狭く、ダイサーの回転刃として寿命が短い傾向がある薄い回転刃を使用するので、第一分割用溝はあまり深くしない方が好ましいからである。また、第二分割用溝の方が相対的に溝幅が広く、ダイサーの回転刃として寿命が長い傾向がある厚い回転刃を使用するので、第二分割用溝を深くしやすいからである。

【0016】そして、第一分割用溝と第二分割用溝との間に残る基板の残存部の厚さを、 $20\sim 100\mu\text{m}$  にすることが好ましく、 $20\sim 50\mu\text{m}$  にすることがさらに好ましい。本発明では、半導体ウェハーの半導体層形成側と半導体層非形成側の両側に分割用溝を形成するのでブレーキングを容易化できるが、この残存部の厚さを前記範囲とすることでブレーキングを最も容易化できる。

【0017】本発明は、基板の構成材料により限定されるものではないが、基板がモース硬度 8 以上の高硬度材料よりなるものである場合に特に有効である。例えば、基板がサファイア又は GaN よりなり、半導体層が窒化ガリウム系化合物半導体よりなる半導体ウェハーの分割に特に有効である。

【0018】

【発明の実施の形態】図 1～図 5 は、本発明の実施形態に係る半導体ウェハーのチップ分割方法を示している。

まず、分割する半導体ウェハー1について説明すると、図1(a)に示すように、同ウェハー1は、基板2とその表面上に形成された発光素子(発光ダイオード、レーザーダイオード等)を構成する半導体層3とからなり、同層3は主要層11~16と電極(図示略)とからなる。

【0019】基板2は、サファイアよりなり、平面寸法形状が例えば2インチ(約5cm)の正方形、厚さが350 $\mu$ m、半導体層を形成する表面がa面{11-20}のものである。但し、基板はこれに限定されず、材料(例えばGaNよりなる基板を用いる等)、平面寸法形状、厚さ、結晶面等を適宜変更できる。

【0020】主要層11~16は、いずれも有機金属気相成長法により形成された窒化ガリウム系化合物半導体(バッファ層はAlNであるがGaNでもよい)であり、まず基板2の上にAlNバッファ層11が形成され、同層11の上にSiドープn型GaNコンタクト層12が形成され、同層12の上にn型GaNクラッド層13が形成され、同層13の上にGaN障壁層とInGaN井戸層とが交互に積層された多重量子井戸構造の発光層14が形成され、同層14の上にMgドープp型AlGaNクラッド層15が形成され、同層15の上にMgドープp型GaNコンタクト層16が形成されている。主要層11~16全体の厚さは、特に限定されないが、例えば2~15 $\mu$ mである。

【0021】但し、主要層はこの構成に限定されず、各層の組成を変更したり、発光層を例えば単一量子井戸構造に変更したり、基板2をGaNにする場合にはバッファ層11を省いたり、レーザーダイオードの場合には共振構造を設けたりする等、適宜変更できる。

【0022】[第一実施形態]図2は上記半導体ウェハー1のチップ分割方法の第一実施形態を示し、次の工程により行う。

(1)図1(b)及び図2(a)に示すように、半導体ウェハー1の半導体層形成側の表面に溝幅W1が例えば約25 $\mu$ mの第一分割用溝5をダイシング、エッチング又はプラストにより形成する。分割する半導体チップの平面寸法形状は1辺約350 $\mu$ mの正方形であり、従って、第一分割用溝5はピッチ350 $\mu$ mの平面格子状配列で形成する。また、第一分割用溝5の深さは、半導体層3を全厚分除去し、さらに基板2における例えば約15 $\mu$ m深さにまで至るように形成する。

【0023】(2)図2(b)に示すように、厚さ350 $\mu$ mの基板2の半導体層非形成側の表面を研磨盤により研磨することにより、該基板2を一様に厚さ100 $\mu$ m程度にまで薄肉化する。

【0024】(3)図1(b)及び図2(c)に示すように、半導体ウェハー1の半導体層非形成側の表面であって前記第一分割用溝5に対応する位置に溝幅W2が例えば約50 $\mu$ mの第二分割用溝6をダイシングにより形

成する。第一分割用溝5と第二分割用溝6とは、それらの溝幅が一部でも重なっていればよいが、第一分割用溝5が第二分割用溝6の溝幅の範囲に収まることが好ましく、それらの溝幅方向の中央部が上下に略合致することがさらに好ましい。第二分割用溝6の深さは例えば約45 $\mu$ mであり、従って、第一分割用溝5と第二分割用溝6との間に残る基板2の残存部2aの厚さは約40 $\mu$ mとなる。

【0025】(4)図2(d)に示すように、半導体ウェハー1を基板2の残存部2aにおいてブレーキングにより割り、多数の半導体チップ10に分割する。

【0026】本実施形態のチップ分割方法によれば、次のような効果が得られる。

① 基板2の半導体層形成側に形成する第一分割用溝5の溝幅W1を、半導体層非形成側に形成する第二分割用溝6の溝幅W2より狭くするので、分割する半導体チップ10における半導体層3の面積を増加させて発光輝度を高めることができ、その面積を増加させない場合には半導体チップ10の取れ数を増加させることができる。

② 基板2の半導体層非形成側に形成する第二分割用溝6の溝幅W2を、半導体層形成側に形成する第一分割用溝5の溝幅W1より広くするので、第二分割用溝6を形成するダイサーの回転刃として、寿命が長い傾向がある厚い回転刃を使用することができる。これにより、第二分割用溝6の深さを大きくして、残存部2aの厚さを薄くしブレーキングを容易化できる。また、回転刃の交換サイクルが長くなり、交換の手間を削減でき、回転刃コストの低減を図ることもできる。

【0028】[第二実施形態]図3(a)に示す第二実施形態のチップ分割方法は、第一実施形態において第二分割用溝6の形成後であってブレーキングの前に、該第二分割用溝6の溝底に、第一分割用溝5の溝幅 $\leq$ 第三分割用溝7の溝幅<第二分割用溝6の溝幅の関係となる第三分割用溝7をダイシングにより形成する工程を加える点においてのみ、第一実施形態と相違している。図示例の第三分割用溝7は、溝幅W3が(第一分割用溝5の溝幅W1と略同一の)約25 $\mu$ mであり、深さが第二分割用溝6の溝底から例えば約20 $\mu$ mである。従って、基板2の残存部2aの厚さは約20 $\mu$ mとなる。

【0029】第二実施形態によれば、基板2の残存部2aの厚さがより薄くなるため、ブレーキングをより容易化できるとともに、ブレーキング時に発生する亀裂が(第二分割用溝6の溝幅より狭い)第三分割用溝7の溝幅の範囲内に収まって、極端に斜めに走ることがないという効果が得られる。

【0030】[第三、第四実施形態]図3(b)に示す第三実施形態のチップ分割方法は、第一実施形態において第二分割用溝6を形成する際に、該第二分割用溝6の溝断面形状を幅方向の中央部が最も深い略U字状とした点においてのみ、第一実施形態と相違している。同じく

図3(c)に示す第四実施形態のチップ分割方法は、第二分割用溝6の溝断面形状を幅方向の中央部が最も深い略V字状とした点においてのみ、第一実施形態と相違している。

【0031】第三、第四実施形態によれば、基板2の残存部2aの厚さが第二分割用溝6の幅方向の中央部で最も薄くなるため、プレーキング時の亀裂が該中央部において発生しやすいという効果が得られる。

【0032】なお、本発明は前記実施形態に限定されるものではなく、例えば以下のように、発明の趣旨から逸脱しない範囲で適宜変更して具体化することもできる。

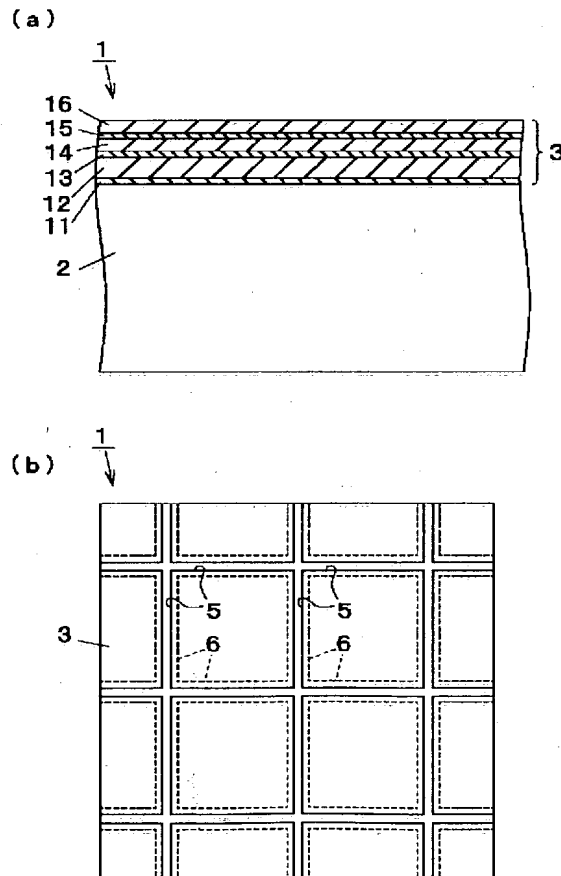
(1) 半導体チップは発光素子に限定されず、例えば受光素子でもよい。

【0033】

【発明の効果】以上詳述した通り、本発明に係る半導体ウェハのチップ分割方法によれば、分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりすることができるとともに、プレーキングを容易化することもできる、という優れた効果を奏する。

【図面の簡単な説明】

【図1】



【図1】(a)は本発明の実施形態で分割する半導体ウェハの断面図、(b)は該半導体ウェハに分割用溝を形成したときの平面図である。

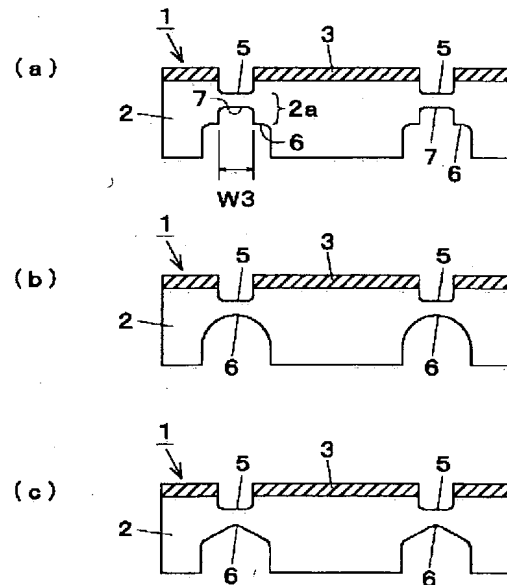
【図2】第一実施形態のチップ分割方法を示す断面図である。

【図3】(a)は第二実施形態のチップ分割方法の要点を示す断面図、(b)は第三実施形態のチップ分割方法の要点を示す断面図、(c)は第三実施形態のチップ分割方法の要点を示す断面図である。

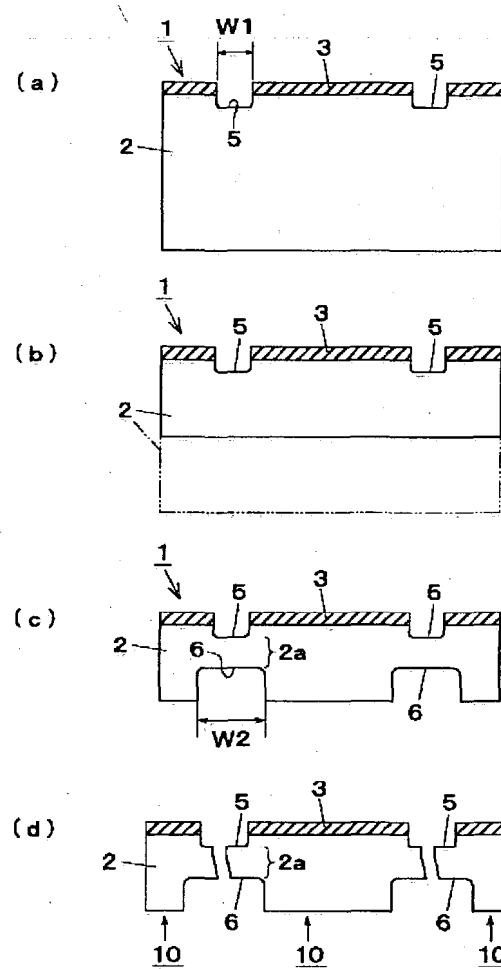
【符号の説明】

- 1 半導体ウェハ
- 2 基板
- 2a 残存部
- 3 半導体層
- 5 第一分割用溝
- 6 第二分割用溝
- 7 第三分割用溝
- W1 第一分割用溝の溝幅
- W2 第二分割用溝の溝幅
- W3 第三分割用溝の溝幅

【図3】



【図2】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
H 0 1 L 21/78

テーマコード (参考)

S  
Q

(72) 発明者 橋村 昌樹  
愛知県西春日井郡春日町大字落合字長畑 1  
番地 豊田合成株式会社内

F ターム (参考) 5F041 AA04 AA41 CA04 CA05 CA34  
CA40 CA46 CA76  
5F043 AA16 AA30 DD30 FF01 GG01  
GG10